

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-165214

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H03K 5/08
H03M 1/34

(21)Application number : 10-340852

(71)Applicant : ASAHI KASEI MICROSYSTEMS KK

(22)Date of filing : 30.11.1998

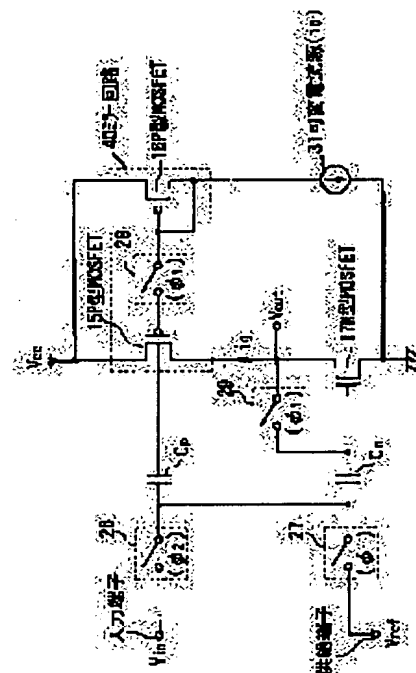
(72)Inventor : KONNO YOSHIAKI

(54) CLOCKED COMPARATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a clocked comparator which is capable of a high-speed operation and prevents a consumption current from depending on a power-supply voltage by adjusting the supply current of a variable current source.

SOLUTION: A consumption current is decided by a supply current i_0 of a variable current source 31 when a switch control signal ϕ_1 is on a high level, that current becomes maximum when a switch control signal ϕ_2 is on a high level is at the time when $V_{in}=V_{ref}$, and the current is the same as a consumption current when the signal ϕ_1 is on the high level. This is decided by the variable current source 31 and is not changed by the fluctuation of a power supply voltage. Further, it is possible to optimize power consumption when the current is set to a minimum value needed to achieve a requested operation speed by adjusting the supply current i_0 of the variable current source 31. Further, an operation becomes fast because both a P type MOSFET 15 and an N type MOSFET 17 contribute to V_{out} fluctuations.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The Miller circuit which consisted of one pair of transistors, and the current source connected to one side of one pair of said transistors, The transistor of a mold different from said one pair of transistors connected to another side of one pair of said transistors, The capacitive element which connected to the end the 2nd switch connected to the 1st switch connected to the input terminal of input voltage, and the supply terminal of reference voltage, In the clocked comparator which has the 3rd switch connected between the other end of said capacitive element, and the output section of the mirror current of said Miller circuit The clocked comparator characterized by having the capacitive element prepared between the 4th switch formed between said one pair of transistors, and the transistor connected to said another type of transistor among said one pair of transistors and said 1st switch.

[Claim 2] It is the clocked comparator characterized by said current source being a source of a good transformation style which can adjust supply current in a clocked comparator according to claim 1.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to a high-speed A/D converter etc., and relates to amelioration of a suitable clocked comparator (it is also called a chopper mold comparator).

[0002]

[Description of the Prior Art] Drawing 2 is the circuitry Fig. of an example of the conventional clocked comparator. This circuit is two switch control signals phi 1 with which it was made for a high-level period not to lap mutually as shown in drawing 3, and phi 2. While switches 20, 21, and 22 are supplied, comparator actuation is performed by inputting input voltage Vin into an input terminal.

[0003] First, phi 1 Since a switch 20 serves as OFF (open condition) while switches 21 and 22 are turned on (closed state) when high-level, the equal circuit comes to be shown in drawing 4 (a). this time -- output voltage Vout potential Vin1' which the current of P-channel MOS FET10 and the current of N-channel MOS FET11 hang and suit -- becoming -- reference voltage -- Vref, then a capacitor C1 -- $Q=C1 - (Vref-Vin1')$ -- a charge is accumulated.

[0004] Next, phi 2 Since a switch 20 serves as ON while switches 21 and 22 are turned off when high-level, the equal circuit comes to be shown in drawing 4 (b). At this time, charge $Q=C1 - (Vref-Vin1')$ is a capacitor C1. It is saved and is $Vin=Vref$. If it becomes, since it will be $Vin2'=Vin1'$, it is Vout. Although it remains as it is $Vin>Vref$ Since Charge Q is fixed if it becomes, $Vin2'$ also goes up, and as a result, it is Vout. It descends, is set to a low level and is $Vin<Vref$. If it becomes, it will be Vout conversely. Actuation which becomes high-level is performed.

[0005] Moreover, it is the circuitry Fig. of the conventional clocked comparator which is shown in drawing 5. First, phi 1 Since a switch 23 serves as OFF (open condition) while switches 24 and 25 are turned on (closed state) when high-level, the equal circuit comes to be shown in drawing 6 (a). this time -- output voltage Vout potential Vin1' which the current of P-channel MOS FET12 and the current of N-channel MOS FET14 hang and suit -- becoming -- reference voltage -- Vref, then a capacitor C2 -- $Q=C2 - (Vref-Vin1')$ -- a charge is accumulated.

[0006] Next, phi 2 Since a switch 23 serves as ON while switches 24 and 25 are turned off when high-level, the equal circuit comes to be shown in drawing 6 (b). At this time, charge $Q=C1 - (Vref-Vin1')$ is a capacitor C1. It is saved and is $Vin=Vref$. If it becomes, since it will be $Vin2'=Vin1'$, it is Vout. Although it remains as it is $Vin>Vref$ Since Charge Q is fixed if it becomes, $Vin2'$ also goes up, and as a result, it is Vout. It descends, is set to a low level and is $Vin<Vref$. If it becomes, it will be Vout conversely. Actuation which becomes high-level is performed.

[0007]

[Problem(s) to be Solved by the Invention] By the way, if it was in the conventional clocked comparator as shown in drawing 2, there was a problem that the consumed electric current will be large and the consumed electric current and a working speed will moreover change depending on supply voltage.

[0008] Moreover, if it is in the conventional clocked comparator as shown in drawing 5, although there is such no problem, only N-channel MOS FET14 is output voltage Vout. Since it participated in fluctuation, there was a problem that a working speed became slow. This invention was made in order to solve such a conventional technical problem, high-speed operation is possible for it, and it makes it a technical problem to offer the clocked comparator it was made not to make it depend for the consumed electric current on supply voltage.

[0009] Moreover, this invention also makes it a technical problem to offer the clocked comparator which can adjust the consumed electric current.

[0010]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, invention concerning claim 1 The Miller circuit which consisted of one pair of transistors, and the current source connected to one side of one pair of said transistors, The transistor of a mold different from said one pair of transistors connected to another side of one pair of said transistors, The capacitive element which connected to the end the 2nd switch connected to the 1st switch connected to the input terminal of input voltage, and the supply terminal of reference voltage, In the clocked comparator which has the 3rd switch connected between the other end of said capacitive element, and the output section of the mirror current of said Miller circuit The clocked comparator characterized by having the capacitive element prepared between the 4th switch formed between said one pair of transistors, and the transistor connected to said another type of transistor among said one pair of transistors and said 1st switch is offered.

[0011] The pattern with the 2nd same switch, 3rd switch, and 4th switch performs a switching action, further, when these switches are closed states, as for a closed state, the 1st switch does not become, but conversely, when the 1st switch is a closed state, these switches are constituted here so that a closed state may not become.

[0012] When the 2nd switch, 3rd switch, and 4th switch are an ON state, the electrical potential difference of both capacitive elements becomes settled, and the charge which becomes settled in such electrical potential difference, reference voltage, and each capacity value is accumulated in both this capacitive element so that the current which flows to one pair of transistors and the transistor of another mold may become equal by actuation of Miller circuit. Therefore, since the current of the transistor which the current of the transistor which both the electrical potential differences of both capacitive elements rise since both charges are fixed, consequently constitutes Miller circuit decreases, and is connected to this increases when input voltage is bigger than reference voltage, output voltage is set to a low level.

[0013] On the other hand, since the current of the transistor which the current of the transistor which both the electrical potential differences of both capacitive elements descend since said both charges are fixed, consequently constitutes Miller circuit increases, and is connected to this decreases when input voltage is smaller than reference voltage, as output voltage becomes high-level, it operates a clocked comparator. On the other hand, the transistor which constitutes Miller circuit reaches, and since the both sides of a transistor connected to this contribute to output change, while a working speed becomes quick, a working speed and the consumed electric current stop and being dependent on supply voltage.

[0014] Moreover, invention concerning claim 2 is a clocked comparator characterized by said current source being a source of a good transformation style which can adjust supply current in a clocked comparator according to claim 1.

[0015] According to this invention, by adjustment of the supply current of the source of a good transformation style, since the minimum current required for actuation can be passed in a circuit, power consumption can realize the optimal clocked comparator to a working speed.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to a drawing. Drawing 1 is the circuitry Fig. of the clocked comparator circuit which is the gestalt of operation of this invention. As shown in drawing 1, this clocked comparator circuit Miller circuit 40 where it comes to make mirror connection of P-channel MOS FET 15 and 16 which is one pair of transistors, The source 31 of a good transformation style connected to P-channel MOS FET16 at the serial, and N-channel MOS FET17 by which the source terminal is grounded while connecting with P-channel MOS FET15 at a serial, capacitor Cp to which the switch 26 on which the input terminal was connected to the other end while the end was connected to the gate terminal of P-channel MOS FET15 is connected capacitor Cn to which the switch 27 on which the supply terminal of reference voltage (Vref) was connected to the other end while the end was connected to the gate terminal of N-channel MOS FET17 is connected The output section and Capacitor Cn of Miller circuit 40 It has the switch 29 connected in between and the switch 28 formed between the gate terminals of the both sides of P-channel MOS FET 15 and 16, and is constituted.

[0017] Two switch control signals phi 1 with which it was made for a high-level period not to lap mutually as shown in drawing 3, and phi 2 It is phi 2 while switches 26, 27, 28, and 29 are supplied, and switches 27, 28,

and 29 are turned on (closed state), when ϕ_1 is high-level. When high-level, it is constituted so that a switch 26 may be turned on (closed state). In addition, such a switch control signal is supplied from the control section which is not illustrated. Moreover, this circuit is good also as a configuration which replaced the polarity of MOSFET, a power source, and the source of a good transformation style.

[0018] Next, actuation of this circuit is explained. It is the supply current of the source 31 of a good transformation style i_0 . It shall adjust. First, ϕ_1 . Since a switch 26 serves as OFF (open condition) while switches 27, 28, and 29 are turned on (closed state) when high-level, the equal circuit comes to be shown in drawing 7 (a). At this time, it is the same current i_0 as P-channel MOS FET 15 and 16 by the Miller effect. Electrical-potential-difference $V_{in1n'}$ of the output section of Miller circuit 40 becomes settled so that a current i_0 may similarly flow to N-channel MOS FET 17, while gate voltage $V_{in1p'}$ becomes settled so that it may flow, and this is output voltage V_{out} . It becomes. the current which sets the size ratio of P-channel MOS FET 15 and 16 to "1:a", and flows to N-channel MOS FET 17 -- i_0 -- it can also carry out.

[0019] this time -- reference voltage -- V_{ref} . Then, capacitor C_p -- $Q_p = C_p \cdot (V_{ref} - V_{in1p'})$ -- while a charge is accumulated -- Capacitor C_n -- $Q_n = C_n \cdot (V_{ref} - V_{in1n'})$ -- a charge is accumulated. Next, ϕ_2 . Since switches 27, 28, and 29 become off while a switch 26 is turned on when high-level, the equal circuit comes to be shown in drawing 7 (b).

[0020] At this time, they are Charge Q_p and Q_n . Each is Capacitor C_p and Capacitor C_n . It is saved. $V_{in} > V_{ref}$. If it becomes, they will be Charge Q_p and Q_n . Since it is fixed, $V_{in2n'}$ (gate voltage of P-channel MOS FET 15), Since $V_{in2p'}$ (gate voltage of N-channel MOS FET 17) goes up, consequently the current of P-channel MOS FET 15 decreases and the current of N-channel MOS FET 17 increases, it is V_{out} . It descends and is set to a low level.

[0021] On the other hand, it is $V_{in} < V_{ref}$. If it becomes, they will be Charge Q_p and Q_n . Since $V_{in2n'}$ and $V_{in2p'}$ descend since it is fixed, consequently the current of P-channel MOS FET 15 increases and the current of N-channel MOS FET 17 decreases, it is V_{out} . It goes up and becomes high-level. Thus, although actuation of a clocked comparator is performed, at the gestalt of this operation, the both sides of P-channel MOS FET 15 and N-channel MOS FET 17 are V_{out} . ***** becomes quick in order to contribute to fluctuation.

[0022] Moreover, ϕ_1 . When high-level, it is the supply current i_0 of the source 31 of a good transformation style. The consumed electric current is decided and it is ϕ_2 . It is $V_{in} = V_{ref}$ that a current serves as max when high-level. By the time, it is ϕ_1 . It is the same as the consumed electric current when high-level. This is decided by the source 31 of a good transformation style, and does not change with fluctuation of supply voltage. Furthermore, it is the supply current i_0 of the source 31 of a good transformation style about this current. If it is set as the need and the minimum value realizing the working speed demanded by adjusting, it will become possible to optimize power consumption.

[0023] It cannot be overemphasized that that application does not stop at this as an application of this circuit, for example although the thing for quantizing an input value in the input section of an A/D converter etc. is mentioned.

[0024]

[Effect of the Invention] As explained above, according to invention concerning claim 1, the effectiveness of high-speed operation being possible and becoming possible to realize the clocked comparator it was made not to make it depending for the consumed electric current on supply voltage is acquired.

[0025] Moreover, according to invention concerning claim 2, the effectiveness of becoming possible to optimize the consumed electric current is acquired.

[Translation done.]

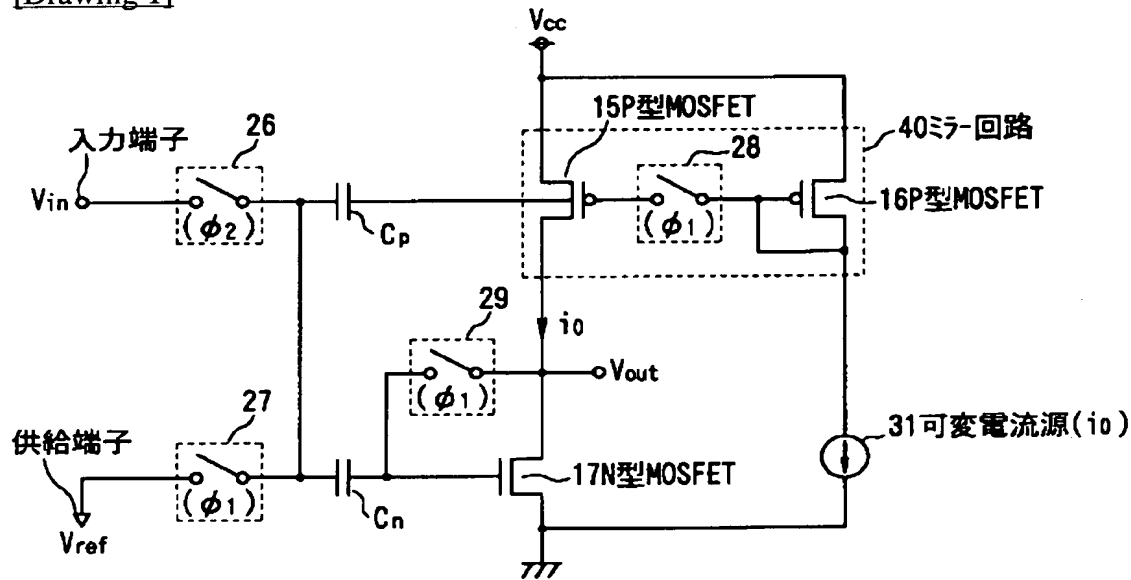
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

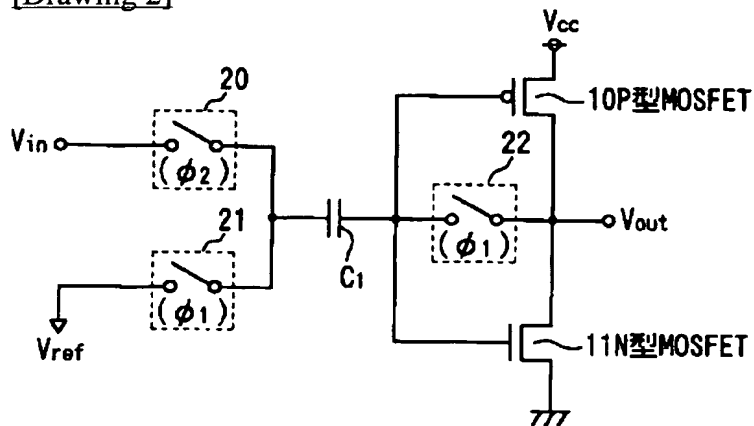
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

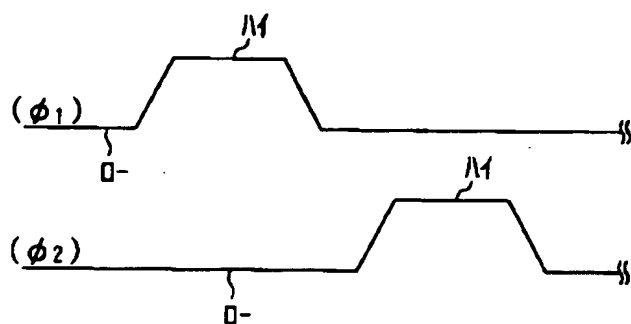
[Drawing 1]



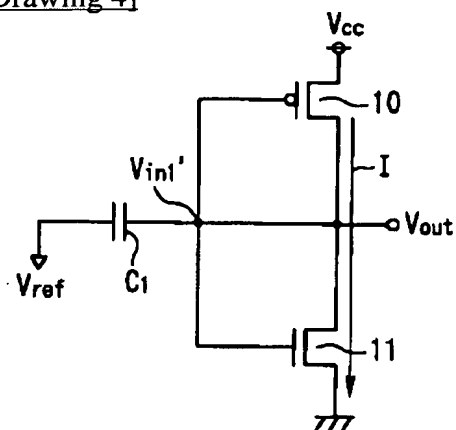
[Drawing 2]



[Drawing 3]

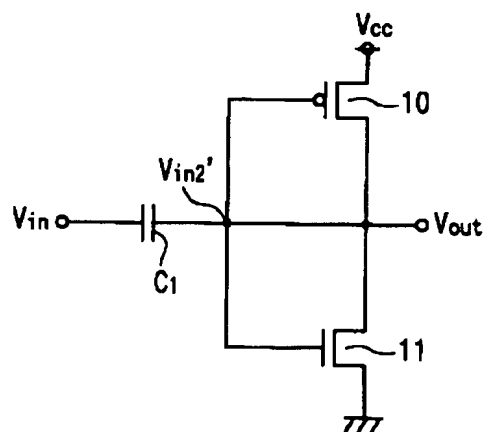


[Drawing 4]



(ϕ_1 :オン, ϕ_2 :オフ)

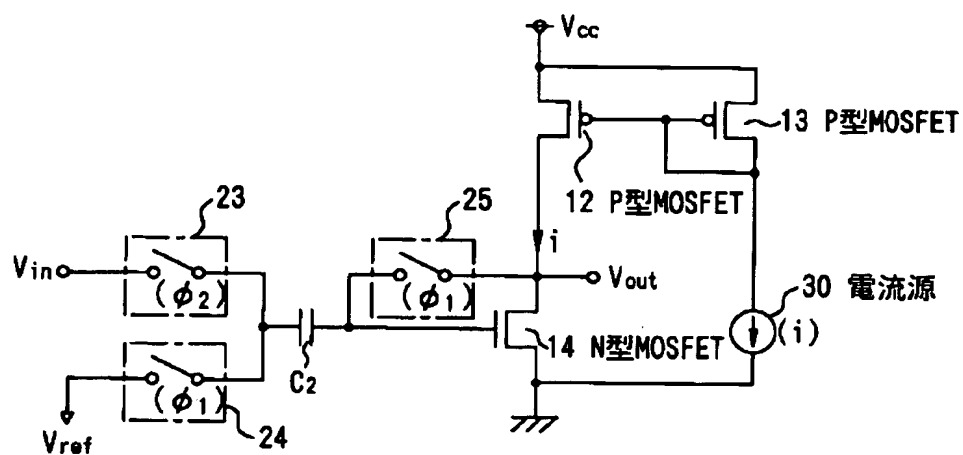
(a)



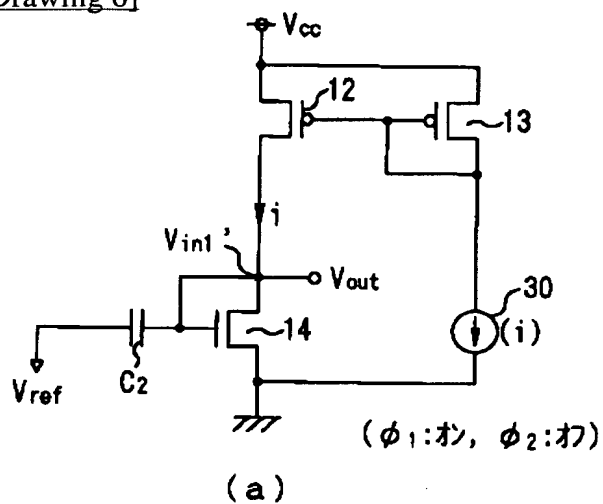
(ϕ_1 :オフ, ϕ_2 :オン)

(b)

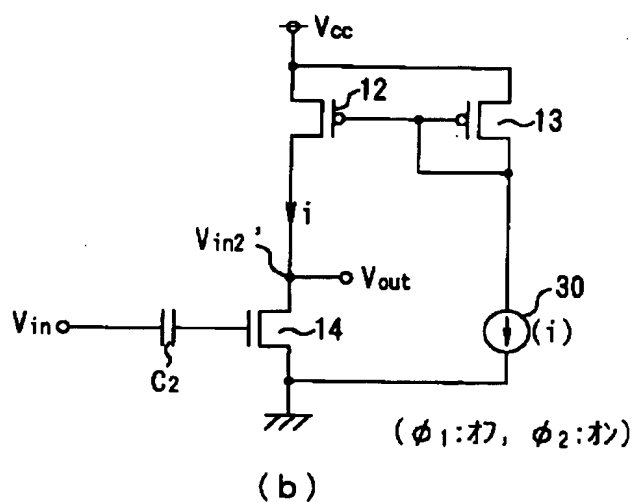
[Drawing 5]



[Drawing 6]

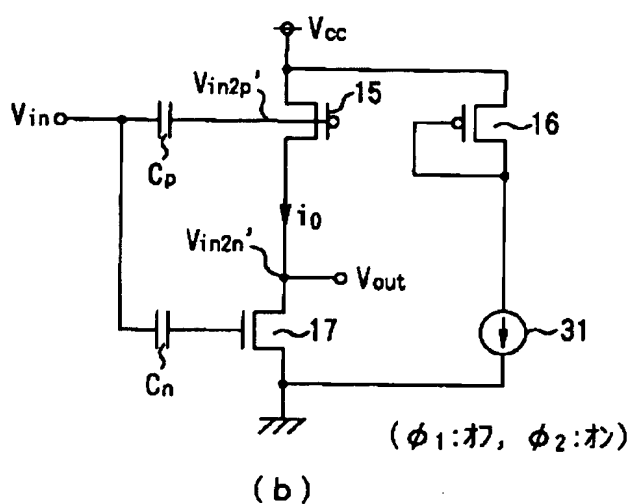
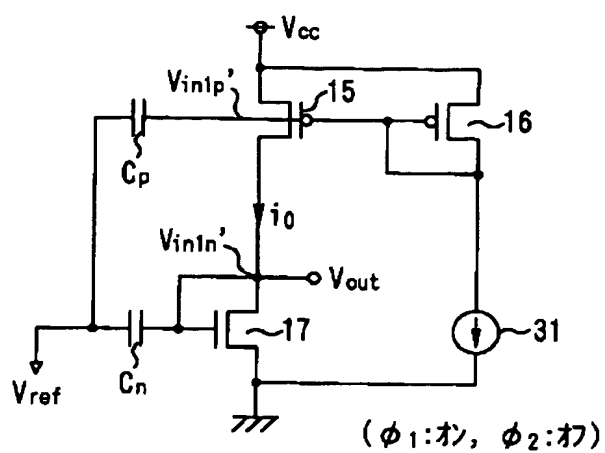


(a)



(b)

[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-165214

(P2000-165214A)

(43) 公開日 平成12年6月16日 (2000. 6. 16)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 3 K 5/08

H 0 3 K 5/08

T 5 J 0 2 2

H 0 3 M 1/34

H 0 3 M 1/34

5 J 0 3 9

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平10-340852

(22) 出願日

平成10年11月30日 (1998. 11. 30)

(71) 出願人 594021175

旭化成マイクロシステム株式会社

東京都渋谷区代々木1丁目24番10号

(72) 発明者 紺野 嘉明

神奈川県厚木市岡田3050番地 旭化成マイ

クロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外3名)

Fターム (参考) 5J022 AA01 BA05 BA06 CF01 CF04
CG01

5J039 DD01 KK10 KK16 KK17 KK28

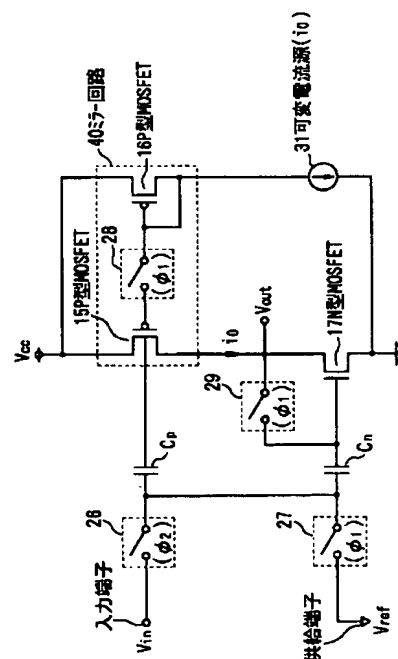
MM03 MM04 MM16

(54) 【発明の名称】 クロックドコンパレータ

(57) 【要約】

【課題】 高速動作可能で、消費電流を電源電圧に依存させないようにする。

【解決手段】 ミラー回路40と、可変電流源31と、P型MOSFET15に直列に接続されると共にそのソース端子が接地されているN型MOSFET17と、P型MOSFET15のゲート端子にその一端が接続されると共にその他端に、入力端子が接続されたスイッチ26が接続されるコンデンサC_pと、N型MOSFET17のゲート端子にその一端が接続されると共にその他端に参照電圧の供給端子が接続されたスイッチ27が接続されるコンデンサC_nと、ミラー回路40の出力端子とコンデンサC_pとの間に接続されたスイッチ29と、P型MOSFET15、16双方のゲート端子間に設けられたスイッチ28とを有する。



【特許請求の範囲】

【請求項1】 1対のトランジスタで構成されたミラー回路と、

前記1対のトランジスタの一方に接続される電流源と、
前記1対のトランジスタの他方に接続される前記1対のトランジスタとは別の型のトランジスタと、

入力電圧の入力端子に接続された第1のスイッチおよび
参照電圧の供給端子に接続された第2のスイッチを、そ
の一端に接続した容量素子と、

前記容量素子の他端と前記ミラー回路のミラー電流の出
力部との間に接続された第3のスイッチと、を有するク
ロックドコンパレータにおいて、

前記1対のトランジスタの間に設けた第4のスイッ
チと、

前記1対のトランジスタのうち前記別の型のトランジ
スタに接続されたトランジスタと前記第1のスイッチとの
間に設けた容量素子と、を備えたことを特徴とするク
ロックドコンパレータ。

【請求項2】 請求項1に記載のクロックドコンパレ
ータにおいて、

前記電流源は、供給電流を調整可能な可変電流源である
ことを特徴とするクロックドコンパレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速A/D変換器
等に適用して好適なクロックドコンパレータ（チョッパ
型比較器とも称す）の改良に関する。

【0002】

【従来の技術】図2は、従来のクロックドコンパレータ
の一例の回路構成図である。この回路は、図3に示すよ
うに、相互にハイレベルの期間が重ならないようにした
2つのスイッチ制御信号 ϕ_1 、 ϕ_2 がスイッチ20、2
1、22に供給されると共に、入力端子に入力電圧 V_{in}
が入力されることによってコンパレータ動作を行う。

【0003】まず、 ϕ_1 がハイレベルの時には、スイッ
チ21、22がオン（閉状態）になると共に、スイッチ
20がオフ（開状態）となるため、その等価回路は図4
（a）に示すようになる。この時、出力電圧 V_{out} は、
P型MOSFET10の電流とN型MOSFET11の
電流とがつりあう電位 V_{in1}' となり、参照電圧を V_{ref}
とすれば、コンデンサ C_1 には $Q=C_1 \cdot (V_{ref} - V_{in1}')$ なる電荷が蓄積される。

【0004】次に、 ϕ_2 がハイレベルの時には、スイッ
チ21、22がオフになると共に、スイッチ20がオン
となるため、その等価回路は図4（b）に示すようにな
る。この時、電荷 $Q=C_1 \cdot (V_{ref} - V_{in1}')$ はコン
デンサ C_1 で保存され、 $V_{in}=V_{ref}$ ならば、
 $V_{in2}'=V_{in1}'$ なので V_{out} はそのままであるが、
 $V_{in}>V_{ref}$ ならば電荷 Q が一定なので V_{in2}' も上昇
してその結果 V_{out} が降下してローレベルになり、 V_{in}

$<V_{ref}$ ならば逆に V_{out} はハイレベルになる動作を行
う。

【0005】また、図5に示すものも従来のクロックド
コンパレータの回路構成図である。まず、 ϕ_1 がハイレ
ベルの時には、スイッチ24、25がオン（閉状態）に
なると共に、スイッチ23がオフ（開状態）となるた
め、その等価回路は図6（a）に示すようになる。この
時、出力電圧 V_{out} は、P型MOSFET12の電流と
N型MOSFET14の電流とがつりあう電位 V_{in1}'
となり、参照電圧を V_{ref} とすれば、コンデンサ C_2 に
は $Q=C_2 \cdot (V_{ref} - V_{in1}')$ なる電荷が蓄積され
る。

【0006】次に、 ϕ_2 がハイレベルの時には、スイッ
チ24、25がオフになると共に、スイッチ23がオン
となるため、その等価回路は図6（b）に示すようにな
る。この時、電荷 $Q=C_2 \cdot (V_{ref} - V_{in1}')$ はコン
デンサ C_2 で保存され、 $V_{in}=V_{ref}$ ならば、
 $V_{in2}'=V_{in1}'$ なので V_{out} はそのままであるが、
 $V_{in}>V_{ref}$ ならば電荷 Q が一定なので V_{in2}' も上昇
してその結果 V_{out} が降下してローレベルになり、 V_{in}
 $<V_{ref}$ ならば逆に V_{out} はハイレベルになる動作を行
う。

【0007】

【発明が解決しようとする課題】ところで、図2に示す
ような従来のクロックドコンパレータにあっては、消費
電流が大きく、しかも消費電流や動作速度が電源電圧に
依存して変化してしまうといった問題があった。

【0008】また、図5に示すような従来のクロックド
コンパレータにあっては、このような問題はないもの
の、N型MOSFET14のみが出力電圧 V_{out} の変動
に関与するので、動作速度が遅くなるといった問題があ
った。本発明は、このような従来の課題を解決するため
になされたもので、高速動作可能で、消費電流を電源電
圧に依存させないようにしたクロックドコンパレータを
提供することを課題とする。

【0009】また、本発明は、消費電流を調整可能なク
ロックドコンパレータを提供することも課題とする。

【0010】

【課題を解決するための手段】上記課題を解決するた
め、請求項1に係る発明は、1対のトランジスタで構成
されたミラー回路と、前記1対のトランジスタの一方に
接続される電流源と、前記1対のトランジスタの他方に
接続される前記1対のトランジスタとは別の型のトラン
ジスタと、入力電圧の入力端子に接続された第1のスイ
ッチおよび参照電圧の供給端子に接続された第2のスイ
ッチを、その一端に接続した容量素子と、前記容量素子
の他端と前記ミラー回路のミラー電流の出力部との間に
接続された第3のスイッチと、を有するクロックドコン
パレータにおいて、前記1対のトランジスタの間に設け
た第4のスイッチと、前記1対のトランジスタのうち前

記別の型のトランジスタに接続されたトランジスタと前記第1のスイッチとの間に設けた容量素子と、を備えたことを特徴とするクロックドコンパレータを提供する。

【0011】ここに、第2のスイッチと第3のスイッチと第4のスイッチとは同じパターンで開閉動作を行い、さらに、これらのスイッチが閉状態のときには第1のスイッチが閉状態とはならず、逆に、第1のスイッチが閉状態のときにはこれらのスイッチが閉状態とはならないように構成される。

【0012】第2のスイッチと第3のスイッチと第4のスイッチがオン状態の時には、ミラー回路の動作によって、1対のトランジスタおよび別の型のトランジスタに流れる電流が等しくなるように、両容量素子の電圧が定まりこの両容量素子にはこれらの電圧と参照電圧と夫々の容量値で定まる電荷が蓄積される。したがって、入力電圧が参照電圧より大きな場合には、両電荷は一定なので両容量素子の電圧が共に上昇し、その結果、ミラー回路を構成するトランジスタの電流が減少し、これに接続されるトランジスタの電流が増加するので、出力電圧はローレベルになる。

【0013】一方、入力電圧が参照電圧より小さな場合には、前記両電荷が一定なので両容量素子の電圧が共に降下し、その結果、ミラー回路を構成するトランジスタの電流が増加し、これに接続されるトランジスタの電流が減少するので、出力電圧はハイレベルになるようにして、クロックドコンパレータの動作を行う。そして、ミラー回路を構成するトランジスタの一方、および、これに接続されるトランジスタの双方が出力変化に寄与するので動作速度が速くなると共に、動作速度や消費電流が電源電圧に依存しなくなる。

【0014】また、請求項2に係る発明は、請求項1に記載のクロックドコンパレータにおいて、前記電流源は、供給電流を調整可能な可変電流源であることを特徴とするクロックドコンパレータである。

【0015】この発明によれば、可変電流源の供給電流の調整によって、動作に必要な最小電流を回路に流すようにすることができるため、動作速度に対し消費電力が最適なクロックドコンパレータを実現できる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しつつ説明する。図1は、本発明の実施の形態であるクロックドコンパレータ回路の回路構成図である。図1に示すように、このクロックドコンパレータ回路は、1対のトランジスタであるP型MOSFET15、16がミラー接続されてなるミラー回路40と、P型MOSFET16に直列に接続された可変電流源31と、P型MOSFET15に直列に接続されると共にそのソース端子が接地されているN型MOSFET17と、P型MOSFET15のゲート端子にその一端が接続され

6が接続されるコンデンサC。と、N型MOSFET17のゲート端子にその一端が接続されると共にその他端に、参照電圧(V_{ref})の供給端子が接続されたスイッチ27が接続されるコンデンサC。と、ミラー回路40の出力部とコンデンサC。との間に接続されたスイッチ29と、P型MOSFET15、16の双方のゲート端子間に設けられたスイッチ28と、を有して構成される。

【0017】図3に示すように、相互にハイレベルの期間が重ならないようにした2つのスイッチ制御信号 ϕ_1 、 ϕ_2 がスイッチ26、27、28、29に供給され、 ϕ_1 がハイレベルの時にスイッチ27、28、29がオン(閉状態)になると共に、 ϕ_2 がハイレベルの時にスイッチ26がオン(閉状態)になるように構成されている。なお、このようなスイッチ制御信号は図示しない制御部から供給されるようになっている。また、この回路は、MOSFET、電源、可変電流源の極性を入れ替えた構成としても良い。

【0018】次にこの回路の動作を説明する。可変電流源31の供給電流を i 。に調整するものとする。まず、 ϕ_1 がハイレベルの時には、スイッチ27、28、29がオン(閉状態)になると共に、スイッチ26がオフ(開状態)となるため、その等価回路は図7(a)に示すようになる。この時、ミラー効果によって、P型MOSFET15、16に同じ電流 i 。が流れるように、ゲート電圧 V_{in1} 。'が定まると共に、同じくN型MOSFET17にも電流 i 。が流れるように、ミラー回路40の出力部の電圧 V_{out} 。'が定まってこれが出力電圧 V_{out} 。となる。P型MOSFET15、16のサイズ比を「1:a」として、N型MOSFET17に流れる電流を $a \times i$ 。とすることもできる。

【0019】このとき、参照電圧を V_{ref} とすれば、コンデンサC。には $Q_p = C_p \cdot (V_{ref} - V_{in1}$ 。')なる電荷が蓄積されると共に、コンデンサC。には $Q_n = C_n \cdot (V_{ref} - V_{in1}$ 。')なる電荷が蓄積される。次に、 ϕ_2 がハイレベルの時には、スイッチ26がオンになると共に、スイッチ27、28、29がオフとなるため、その等価回路は図7(b)に示すようになる。

【0020】この時、電荷 Q_p 、 Q_n の夫々は、コンデンサC。、コンデンサC。によって保存され、 $V_{in} > V_{ref}$ ならば電荷 Q_p 、 Q_n が一定なので V_{in2} 。'(P型MOSFET15のゲート電圧)、 V_{in2} 。'(N型MOSFET17のゲート電圧)とも上昇し、その結果、P型MOSFET15の電流が減少し、N型MOSFET17の電流が増加するので、 V_{out} 。が降下してローレベルになる。

【0021】一方、 $V_{in} < V_{ref}$ ならば電荷 Q_p 、 Q_n が一定なので V_{in2} 。'、 V_{in2} 。'とも降下し、その結果、P型MOSFET15の電流が増加し、N型MOSFET17の電流が減少するので、 V_{out} 。が上昇してハ

イレベルになる。このようにして、クロックドコンパレータの動作が行われるが、この実施の形態では、P型MOSFET 15およびN型MOSFET 17の双方が V_{DD} 、変動に寄与するため動速度が速くなる。

【0022】また、 ϕ_1 がハイレベルの時には可変電流源31の供給電流 i_0 で消費電流が決まり、 ϕ_2 がハイレベルの時には電流が最大となるのは $V_{in} = V_{ref}$ の時、 ϕ_1 がハイレベルの時の消費電流と同じである。これは、可変電流源31によって決まり電源電圧の変動によって変化しない。さらに、この電流を可変電流源31の供給電流 i_0 を調整することによって要求される動作速度を実現するのに必要かつ最小限の値に設定すれば、消費電力を最適化することが可能となる。

【0023】この回路の応用例としては、例えばA/D変換器の入力部における、入力値の量子化をするためのものなどが挙げられるが、その応用例はこれに留まらないことは言うまでもない。

【0024】

【発明の効果】以上説明したように、請求項1に係る発明によれば、高速動作可能で、消費電流を電源電圧に依存させないようにしたクロックドコンパレータを実現することが可能になるという効果が得られる。

【0025】また、請求項2に係る発明によれば、消費電流を最適化することが可能になるという効果が得られる。

【図面の簡単な説明】

*【図1】本発明の実施の形態であるクロックドコンパレータ回路の回路構成図である。

【図2】従来のクロックドコンパレータ回路の回路構成図である。

【図3】スイッチ制御信号のタイミングチャートの説明図である。

【図4】図2に示す従来のクロックドコンパレータ回路の等価回路図である。

【図5】スイッチ制御信号のタイミングチャートの説明図である。

【図6】図5に示す従来のクロックドコンパレータ回路の等価回路図である。

【図7】本発明の実施の形態であるクロックドコンパレータ回路の等価回路図である。

【符号の説明】

15 P型MOSFET

16 P型MOSFET

17 N型MOSFET

26 スイッチ

27 スイッチ

28 スイッチ

29 スイッチ

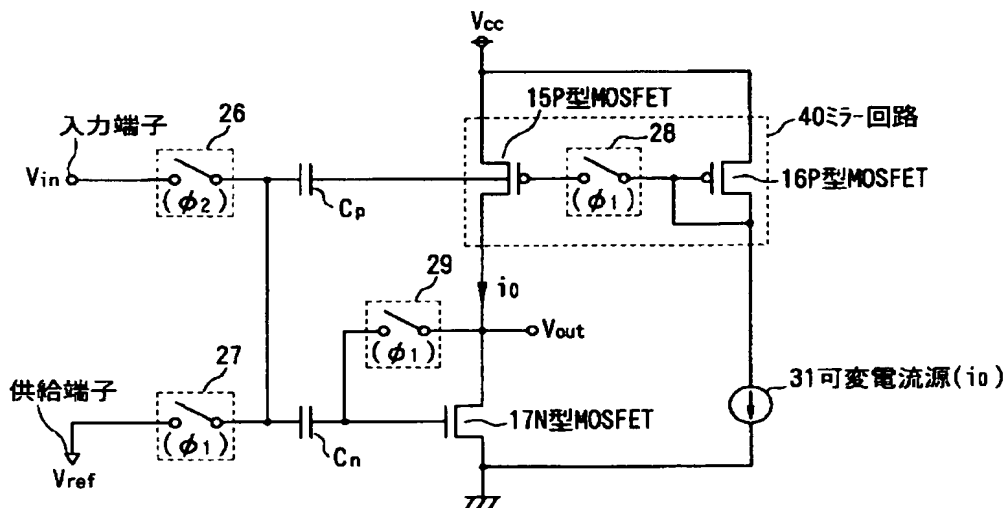
31 可変電流源

40 ミラー回路

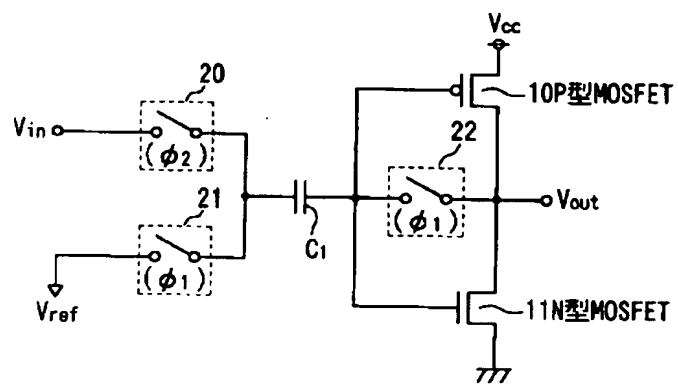
C_p コンデンサ

C_n コンデンサ

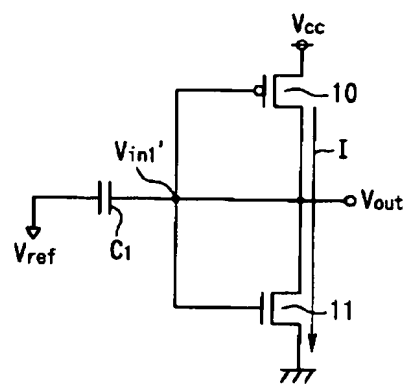
【図1】



【図2】



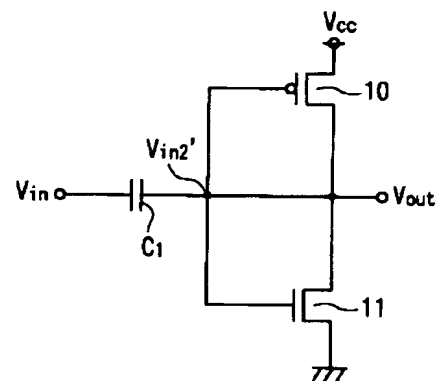
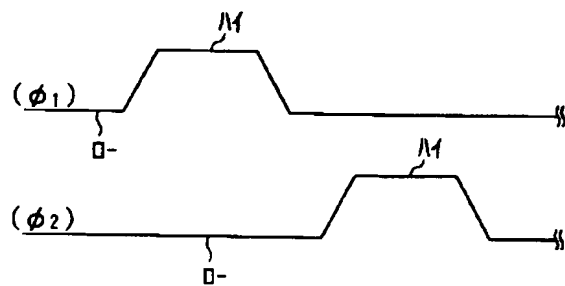
【図4】



(ϕ_1 :オン, ϕ_2 :オフ)

(a)

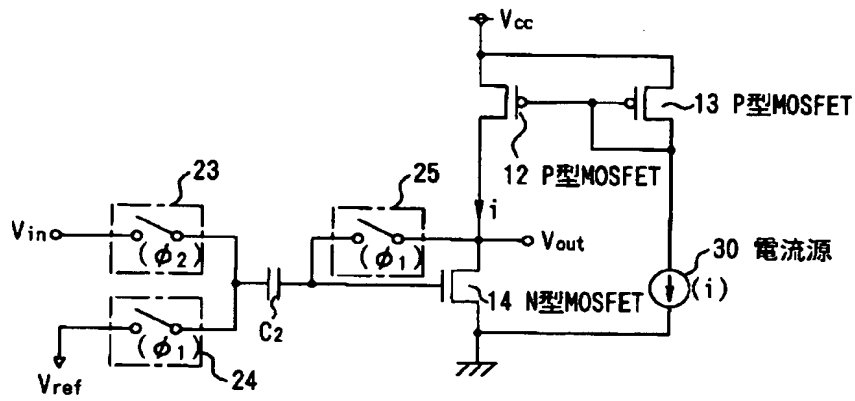
【図3】



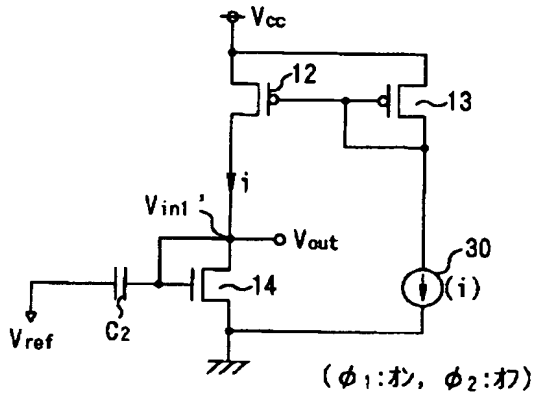
(ϕ_1 :オフ, ϕ_2 :オン)

(b)

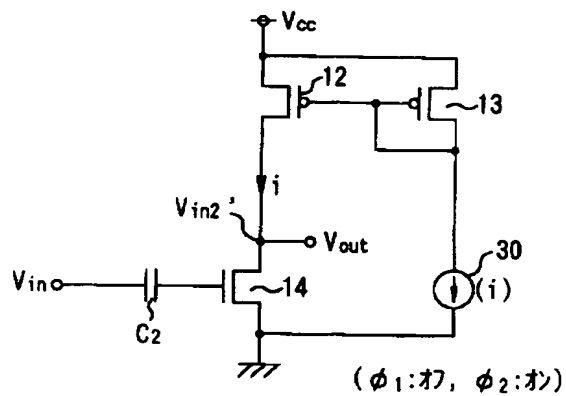
【図5】



【図6】

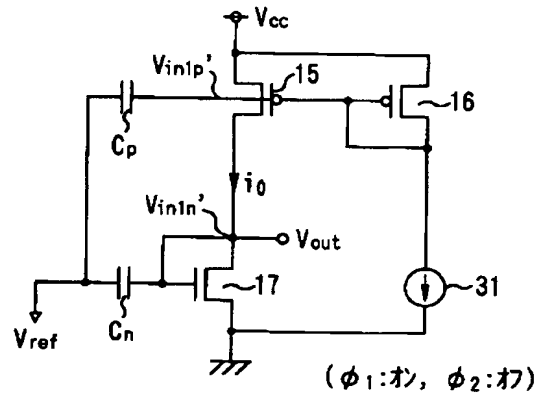


(a)

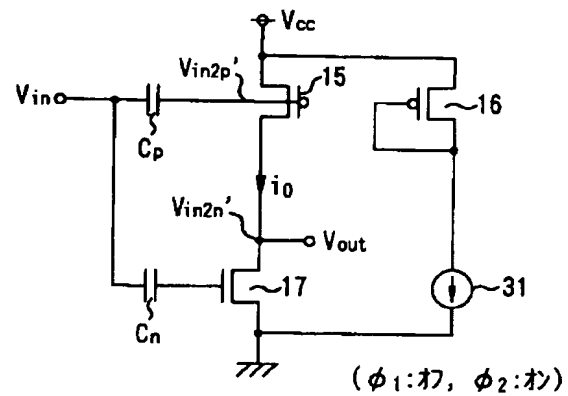


(b)

【図7】



(a)



(b)